

Новая цифровая PLL — самая маленькая в мире

Перевод: Сергей ШИХОВ
sergey@acont.ru

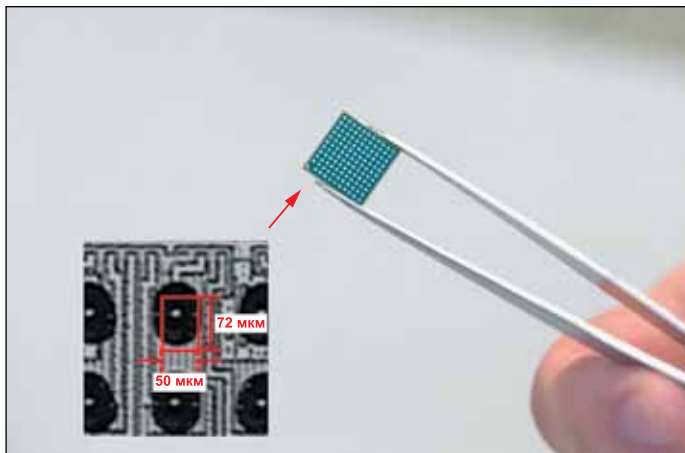


Рисунок. Полностью цифровая PLL помещается на площади 50×72 мкм, на сегодня это самая маленькая PLL в мире.
Фото: Кениши Окада (Kenichi Okada)

Ученые из Токийского технологического института (Tokyo Tech) и компании Socionext Inc. разработали самую маленькую в мире полностью цифровую систему фазовой автоподстройки частоты (ФАПЧ, англ. — PLL). ФАПЧ являются критически важными синхронизирующими схемами практически во всех цифровых приложениях, а уменьшение их размера и улучшение характеристик является необходимым этапом для развития технологий следующего поколения.

Новые или уже используемые технологии, такие как искусственный интеллект, 5G сотовая связь или «Интернет вещей», могут привести к революционным изменениям в обществе. Но для того, чтобы это произошло, необходимы высокопроизводительные системы-начипе (SoC). Основой SoC-устройств служит система ФАПЧ (PLL), которая синхронизируется с частотой эталонного колебания и выдает сигнал с такой же или более высокой частотой. PLL генерируют тактовые сигналы синхронизации, чьи колебания действуют как метроном — это обеспечивает точную опорную частоту синхронизации для гармоничного функционирования цифровых решений.

Для высокоэффективных устройств SoC необходимо усложнить процессы изготовления полупроводниковой электроники. Чем меньше площадь для размещения цифровой схемы, тем выше производительность конечного изделия. Производители прилагали немало усилий, чтобы добиться максимального уменьшения размера полупроводников. Так, уже изготавливаются 7-нм полупроводники (значительно улучшенные по сравнению с их 10-нм предшественниками), а сейчас ведется работа по созданию технологии 5-нм полупроводников.

Однако существует одна проблема. Действующим ФАПЧ требуются аналоговые компоненты, которые в основном громоздки, а их конструкции очень сложно уменьшить.

Ученые из Tokyo Tech и Socionext Inc. под руководством профессора Кениши Окада решили эту задачу, внедрив «синтезируемую» ФАПЧ с секционированным N, для которой необходимы только цифровые логические элементы и не нужны громоздкие аналоговые компоненты, что упрощает ее использование в обычных миниатюрных интегральных схемах.

Окада и его команда использовали несколько техник для уменьшения площади, потребления энергии и джиттера — нежелательных временных колебаний при передаче цифровых сигналов — в синтезируемых ими ФАПЧ. Чтобы сократить площадь, специалисты использовали кольцевой компактный генератор, который можно легко уменьшить. Для снижения джиттера они уменьшили фазовый шум — случайные колебания сигнала — кольцевого генератора, применив внешнюю синхронизацию. Это процесс синхронизации генератора с внешним сигналом, частота которого (или кратная ему) близка к частоте генератора в широком диапазоне частот. Снижение фазового шума в свою очередь позволяет сократить потребление энергии.

Конструкция синтезируемой ФАПЧ во многих важнейших аспектах превосходит все существующие на данный момент современные ФАПЧ. Она показывает лучшую эффективность по джиттеру с наименьшим энергопотреблением и имеет самую маленькую площадь. «Площадь сердцевинки составляет 0,0036 мм², а вся система ФАПЧ выполнена в виде одной компоновки с единым источником питания», — отметил Кениши Окада. Более того, она может быть выполнена с использованием стандартных инструментов для цифрового проектирования, что позволяет сделать ее коммерчески доступной достаточно быстро, без больших усилий и с незначительными затратами на производство.

Новая синтезируемая система ФАПЧ легко интегрируется в конструкцию любых полностью цифровых SoC и является коммерчески жизнеспособной, что делает ее очень ценной для разработки столь необходимого 5-нм полупроводника для самых современных приложений — таких как искусственный интеллект, «Интернет вещей» и многих других, где критическими требованиями становятся высокая производительность и низкое энергопотребление. Однако значение данного исследования простирается дальше заявленных возможностей. «Наша работа показывает потенциал синтезируемых схем. Примененный нами метод разработки дает возможность создавать другие синтезируемые элементы SoC, в частности конвертеры данных, схемы управления энергией и беспроводные приемопередатчики. Это может значительно повысить производительность устройств и снизить усилия по проектированию», — объясняет Окада. Tokyo Tech и Socionext продолжают сотрудничать в этой сфере для дальнейшей миниатюризации электронных устройств, что позволит реализовывать технологии новых поколений. ■

Данная исследовательская работа проводилась совместно с TeraPixel Technologies Inc.

Сергей ШИХОВ,
технический директор «А-КОНТРАКТ»:

Схемы ФАПЧ (PLL — Phase-Locked Loop) являются очень важной частью систем-на кристалле (SoC), применяемых в областях телекоммуникации, компьютерах и других устройствах. Так, например, широко используемые СБИС ПЛ семейства Altera Cyclone содержат в себе реализацию данной схемы. Таким образом, появление сверхминиатюрных реализаций ФАПЧ — это шаг к дальнейшему уменьшению габаритов и потребляемой мощности современных устройств.

